

bc

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-313388

(P2001-313388A)

(43) 公開日 平成13年11月9日 (2001.11.9)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
H 0 1 L	29/78	H 0 1 L 29/78	3 0 1 S 4 M 1 0 8
	21/76	21/76	M 5 F 0 3 2
	21/316	21/94	A 5 F 0 4 0
	21/8234	27/08	1 0 2 B 5 F 0 4 8
	27/088	29/78	3 0 1 G
審査請求 未請求 請求項の数16 O L (全 10 頁)			

(21) 出願番号 特願2000-132338 (P2000-132338)

(22) 出願日 平成12年5月1日 (2000.5.1)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 横山 謙二

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(72) 発明者 生田目 建

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 100090479

弁理士 井上 一 (外2名)

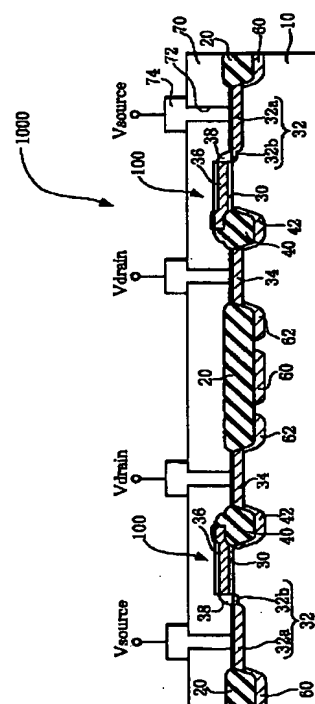
最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 高耐圧化が図られた半導体装置およびその製造方法を提供する。

【解決手段】 半導体装置1000は、電界効果トランジスタ100を有する。電界効果トランジスタ100は、ゲート絶縁層30と、ソース領域32と、ドレイン領域34とを含む。ゲート絶縁層30とドレイン領域34との間に、セミリセスLOCOS層40が設けられている。セミリセスLOCOS層40の下に、オフセット不純物層42が設けられている。



(2)

1

【特許請求の範囲】

【請求項1】 電界効果トランジスタを有する半導体装置であって、

前記電界効果トランジスタは、ゲート絶縁層と、ソース領域と、ドレイン領域とを含み、

前記ゲート絶縁層と前記ドレイン領域との間に、セミリセスLOCOS層が設けられ、

前記セミリセスLOCOS層の下に、オフセット不純物層が設けられている、半導体装置。

【請求項2】 請求項1において、

前記セミリセスLOCOS層の厚さは、0.3～0.7 μm である、半導体装置。

【請求項3】 請求項1または2において、

前記半導体装置は、素子分離領域を有し、

前記素子分離領域は、セミリセスLOCOS構造を有する、半導体装置。

【請求項4】 請求項3において、

前記素子分離領域の下には、チャネルストッパ層が設けられている、半導体装置。

【請求項5】 請求項1～4のいずれかにおいて、

前記ドレイン領域の周囲に、該ドレイン領域と同じ導電型の低濃度不純物層が設けられた、半導体装置。

【請求項6】 電界効果トランジスタを有する、半導体装置の製造方法であって、

前記電界効果トランジスタは、ゲート絶縁層と、ソース領域と、ドレイン領域とを含み、

前記ゲート絶縁層と前記ドレイン領域との間に、セミリセスLOCOS層が設けられ、

前記セミリセスLOCOS層の下に、オフセット不純物層が設けられ、以下の工程(a)～(c)を含む、半導体装置の製造方法。

(a) 前記セミリセスLOCOS層の形成領域において、凹部を形成する工程、(b) 前記凹部における半導体基板に、不純物を注入する工程、および(c) 前記半導体基板を熱酸化し、前記凹部において前記セミリセスLOCOS層を形成する工程。

【請求項7】 請求項6において、

さらに、所定のパターンを有する耐酸化層を形成する工程(d)を含む、

前記工程(c)は、前記半導体基板の上に形成された、前記耐酸化層をマスクとして行われる、半導体装置の製造方法。

【請求項8】 請求項7において、

前記耐酸化層は、その膜厚が50～70 nmである、半導体装置の製造方法。

【請求項9】 請求項6～8のいずれかにおいて、

前記工程(b)の前に、前記凹部における前記半導体基板の上に、保護膜を形成する工程(e)を含む、半導体装置の製造方法。

【請求項10】 請求項9において、

2

前記保護膜は、酸化シリコン層である、半導体装置の製造方法。

【請求項11】 請求項10において、

前記酸化シリコン層は、熱酸化法により形成される、半導体装置の製造方法。

【請求項12】 請求項9～11のいずれかにおいて、

前記工程(b)の後、前記保護膜を除去する工程(f)を含む、半導体装置の製造方法。

【請求項13】 請求項6～12のいずれかにおいて、

前記工程(a)は、前記凹部が、テーパ形状となるようになされる、半導体装置の製造方法。

【請求項14】 請求項13において、

前記凹部のテーパ角度は、60度以上90度未満である、半導体装置の製造方法。

【請求項15】 請求項6～14のいずれかにおいて、

前記工程(b)において、前記不純物の注入方向は、前記半導体基板の表面の法線と交差する方向である、半導体装置の製造方法。

【請求項16】 請求項15において、

前記不純物の注入方向と、前記半導体基板の表面の法線とのなす角は、0度より大きく45度以下である、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関し、高耐圧化が図られた半導体装置およびその製造方法に関する。

【0002】

【背景技術】現在、高耐圧化が図られた電界効果トランジスタとして、LOCOS(LocalOxidation Of Silicon) オフセット構造を有する電界効果トランジスタがある。LOCOSオフセット構造を有する電界効果トランジスタは、ゲート絶縁層と、ドレイン領域との間に、LOCOS層が設けられ、そのLOCOS層の下にオフセット不純物層が形成されたトランジスタである。LOCOSオフセット構造を有する電界効果トランジスタは、たとえば、特許第2705106号公報、特許2534508号公報に開示されている。

【0003】ところで、LOCOSオフセット構造を有する電界効果トランジスタにおいては、LOCOS端においてバズピークが生じ、アクティブ領域が狭まるという問題がある。

【0004】

【発明が解決しようとする課題】本発明の目的は、高耐圧化が図られた半導体装置およびその製造方法を提供することにある。

【0005】

【課題を解決するための手段】(半導体装置) 本発明の半導体装置は、電界効果トランジスタを有する半導体装置であって、前記電界効果トランジスタは、ゲート絶縁

(3)

3

層と、ソース領域と、ドレイン領域とを含み、前記ゲート絶縁層と前記ドレイン領域との間に、セミリセスLOCOS層が設けられ、前記セミリセスLOCOS層の下に、オフセット不純物層が設けられている。

【0006】本発明によれば、たとえば次の作用効果を奏することができる。

【0007】本発明においては、電界効果トランジスタがセミリセスLOCOS層を有している。そして、セミリセスLOCOS層の下には、オフセット不純物層が設けられている。したがって、セミリセスLOCOS層を形成しない場合に比べて、オフセット不純物層をチャンネル領域に対して相対的に深くできる。その結果、電界効果トランジスタがON状態のときに、このオフセット不純物層によって、深い空乏層が形成できる。その結果、ドレイン電極の近傍の電界を緩和して、ドレイン耐圧を高めることができ、高耐圧化を図ることができる。

【0008】また、本発明によれば、LOCOS層に比べて、バースピークの幅を狭めることができる。このため、本発明によれば、LOCOS層に比べて、微細化を図ることができる。

【0009】また、ゲート絶縁層とソース領域との間において、セミリセスLOCOS層を形成していないため、電界効果トランジスタの微細化を図ることができる。

【0010】また、この半導体装置は、ドレイン耐圧が10～50Vの半導体装置として、好ましく適用される。また、この半導体装置は、特に、液晶表示(LCD)ドライバとして、好適である。

【0011】前記セミリセスLOCOS層の厚さは、たとえば0.3～0.7μmである。

【0012】前記半導体装置は、素子分離領域を有し、前記素子分離領域は、セミリセスLOCOS構造を有することが好ましい。素子分離領域がセミリセスLOCOS構造を有することで、セミリセスLOCOS層と同一の工程で、素子分離領域を形成することができる。前記素子分離領域の下には、チャンネルストップ層を設けることができる。

【0013】前記ドレイン領域の周囲に、該ドレイン領域と同じ導電型の低濃度不純物層が設けられていることが好ましい。このような低濃度不純物層を設けることにより、電界効果トランジスタがON状態のときは、この低濃度不純物層の領域が空乏層となってドレイン耐圧を高めることができる。

【0014】(半導体装置の製造方法) 本発明の半導体装置は、たとえば次のようにして製造することができる。

【0015】本発明の半導体装置の製造方法は、電界効果トランジスタを有する、半導体装置の製造方法であって、前記電界効果トランジスタは、ゲート絶縁層と、ソース領域と、ドレイン領域とを含み、前記ゲート絶縁層

4

と前記ドレイン領域との間に、セミリセスLOCOS層が設けられ、前記セミリセスLOCOS層の下に、オフセット不純物層が設けられ、以下の工程(a)～(c)を含む、半導体装置の製造方法。

(a) 前記セミリセスLOCOS層の形成領域において、凹部を形成する工程、(b) 前記凹部における半導体基板に、不純物を注入する工程、および(c) 前記半導体基板を熱酸化し、前記凹部において前記セミリセスLOCOS層を形成する工程。

【0016】本発明の半導体装置の製造方法は、さらに、所定のパターンを有する耐酸化層を形成する工程(d)を含み、前記工程(c)は、前記半導体基板の上に形成された、前記耐酸化層をマスクとして行われることが好ましい。

【0017】これにより、所定の領域における半導体基板を、確実に、熱酸化させることができる。また、工程(b)において、半導体基板に不純物を注入する際、耐酸化層によって被覆された半導体基板に不純物が注入されるのを抑えることができる。

【0018】前記耐酸化層は、その膜厚が50～70nmであることが好ましい。耐酸化層の膜厚が50nm以上であることにより、工程(b)において、半導体基板に不純物を注入する際、耐酸化層によって被覆された半導体基板に不純物が注入されるのを防止することができる。

【0019】前記工程(b)の前に、前記凹部における半導体基板の上に、保護膜を形成する工程(e)を含むことが好ましい。ここで、保護膜とは、半導体基板に不純物を注入することによって、半導体基板がダメージを受けるのを抑える膜をいう。工程(e)を含むことにより、工程(b)において、凹部における半導体基板がダメージを受けるのを抑えることができる。

【0020】前記保護膜としては、酸化シリコン層を挙げることができる。前記酸化シリコン層は、熱酸化法により形成されることができる。熱酸化法によれば、凹部における半導体基板の露出面の上に、確実に酸化シリコン層を形成することができる。

【0021】また、保護膜を形成した場合は、工程(b)の後、前記保護膜を除去する工程(f)を含むことが好ましい。工程(f)を含むことにより、得られるセミリセスLOCOS層の膜質を向上させることができる。

【0022】前記工程(a)は、前記凹部が、テーパ形状となるようになされることが好ましい。これによれば、工程(b)において、凹部におけるシリコン基板の側面に、不純物を注入するのを容易に行うことができる。

【0023】前記凹部のテーパ角度は、60度以上90度未満であることが好ましい。これによれば、工程(b)において、凹部におけるシリコン基板の側面に、

(4)

5

不純物を確実に注入することができる。

【0024】前記工程（b）において、前記不純物の注入方向は、前記半導体基板の表面の法線と交差する方向であることが好ましい。これによれば、工程（b）において、凹部におけるシリコン基板の側面に、不純物を注入するのを容易に行うことができる。

【0025】前記不純物の注入方向と、前記半導体基板の表面の法線とのなす角は、0度より大きく45度以下であることが好ましい。これによれば、工程（b）において、凹部におけるシリコン基板の側面に、不純物を確

【0026】

【発明の実施の形態】以下、本発明の好適な実施の形態について、図面を参照しながら説明する。

【0027】〔第1の実施の形態〕以下、第1の実施の形態に係る半導体装置について説明する。図1は、第1の実施の形態に係る半導体装置を模式的に示す断面図である。

【0028】（デバイスの構造）半導体装置1000は、素子分離領域20を有する。素子分離領域20は、セミリセスLOCOS構造を有する。素子分離領域20によって画定された領域ごとに、電界効果トランジスタ（以下「トランジスタ」という）100が設けられている。

【0029】トランジスタ100は、ゲート絶縁層30と、ソース領域32と、ドレイン領域34とを有する。ソース領域32は、高濃度不純物拡散層32aと低濃度不純物拡散層32bとからなる。ソース領域32およびドレイン領域34は、N型トランジスタを例にとると、P型のウエル内に形成されたN型不純物拡散層からなり、P型トランジスタを例にとると、N型のウエル内に形成されたP型不純物拡散層からなる。

【0030】ゲート絶縁層30とドレイン領域34との間には、セミリセスLOCOS層40が形成されている。セミリセスLOCOS層40の膜厚は、デバイスの設計により異なるが、たとえば0.3～0.7μmであり、好ましくは0.4～0.6μmである。セミリセスLOCOS層40の下には、オフセット不純物層42が形成されている。オフセット不純物層42は、N型トランジスタを例にとると、N型不純物拡散層からなり、P型トランジスタを例にとると、P型不純物拡散層からなる。

【0031】素子分離領域20の中央部の下には、チャンネルストッパ層60が形成されている。チャンネルストッパ層60は、N型トランジスタを例にとると、P型不純物拡散層からなり、P型トランジスタを例にとると、N型不純物拡散層からなる。

【0032】ドレイン領域34と隣接する素子分離領域20の端部の下には、低濃度不純物層62が形成されている。低濃度不純物層62により、トランジスタがON

6

状態のときは、この低濃度不純物層62の領域が空乏層となってドレイン耐圧を高めることができる。低濃度不純物層は、N型トランジスタを例にとると、N型不純物拡散層からなり、P型トランジスタを例にとると、P型不純物拡散層からなる。

【0033】半導体装置1000には、シリコン基板10に電圧を印加するためのコンタクト領域（図示せず）が形成されている。コンタクト領域は、ソースまたはドレイン領域と、素子分離領域によって分離される。この素子分離領域の下には、必要に応じてチャンネルストッパ層を形成することができる。

【0034】シリコン基板10の上には、層間絶縁層70が形成されている。層間絶縁層70の所定の領域には、コンタクトホール72が形成されている。コンタクトホール72内および層間絶縁層70の上には、配線層74が形成されている。

【0035】（作用効果）以下、第1の実施の形態に係る半導体装置1000の作用効果を説明する。

【0036】（a）本実施の形態では、各トランジスタ100がセミリセスLOCOS層40を有している。そして、セミリセスLOCOS層40の下には、オフセット不純物層42が設けられている。したがって、セミリセスLOCOS層を形成しない場合に比べて、オフセット不純物層42をチャンネル領域に対して相対的に深くできる。その結果、トランジスタがON状態のときに、このオフセット不純物層42によって、深い空乏層が形成できる。その結果、ドレイン電極の近傍の電界を緩和して、ドレイン耐圧を高めることができる。

【0037】（b）また、ゲート絶縁層30とソース領域32との間において、セミリセスLOCOS層を形成していないため、電界効果トランジスタの微細化を図ることができる。

【0038】（c）また、この半導体装置は、ドレイン耐圧が10～50Vの半導体装置として、好ましく適用される。また、この半導体装置は、特に、いわゆる中耐圧の液晶表示（LCD）ドライバとして、好適である。

【0039】〔第2の実施の形態〕以下、第2の実施の形態に係る半導体装置の製造方法について説明する。具体的には、N型トランジスタを例にとり、半導体装置の製造プロセスを説明する。図2～図8は、第2の実施の形態に係る製造工程を模式的に示す断面図である。

【0040】（1）まず、図2に示すように、シリコン基板10の上に、CVD法により、酸化窒化シリコン層80を形成する。酸化窒化シリコン層80の膜厚は、たとえば、8～12nmである。次いで、酸化窒化シリコン層80の上に、CVD法により、窒化シリコン層82を形成する。窒化シリコン層82の膜厚は、後述のイオン注入の工程で、イオンが、窒化シリコン層82に被覆されたシリコン基板10に注入されるのを防ぐことができる程度であれば特に限定されない。窒化シリコン層8

(5)

7

2の膜厚は、たとえば50～70nm、好ましくは60～65nmである。

【0041】(2)次に、図3(a)に示すように、窒化シリコン層82の上に、所定のパターンを有する第1のレジスト層R1を形成する。第1のレジスト層R1は、素子分離領域20およびセミリセスLOCOS層40の形成領域の上方において開口されている。

【0042】次に、第1のレジスト層R1をマスクとして、窒化シリコン層82、酸化窒化シリコン層80およびシリコン基板10をエッチングする。これにより、素子分離領域20およびセミリセスLOCOS層40の形成領域において、第1および第2の凹部84a、84bが形成される。第1の凹部84aは、セミリセスLOCOS層40となる領域に形成され、第2の凹部84bは、素子分離領域20となる領域に形成される。なお、図3(b)は、図3(a)における第1の凹部84aを拡大して、模式的に示した断面図である。第1の凹部84aの幅は、デバイスの耐圧、特性により異なるが、たとえば0.3～5.0μm、好ましくは0.5～2.0μmである。第1の凹部84aの深さは、デバイスの耐圧、特性により異なるが、たとえば0.05～0.15μm、好ましくは0.08～0.1μmである。第2の凹部84bの幅、深さは、第1の凹部84aと同様の態様をとることができる。次いで、第1のレジスト層R1を除去する。

【0043】(3)次に、図4(a)に示すように、熱酸化法により、シリコン基板10の露出面の上に、酸化シリコン層90を形成する。図4(b)は、図4(a)における第1の凹部84aを拡大して、模式的に示した断面図である。なお、酸化シリコン層90の形成方法は、CVD法であってもよい。酸化シリコン層90の膜厚は、たとえば5.0～10nm、好ましくは6.0～7.0nmである。

【0044】(4)次に、図5(a)に示すように、所定のパターンを有する、第2のレジスト層R2を形成する。第2のレジスト層R2は、第1の凹部84aと、第2の凹部84bの端部との上方において開口されている。具体的には、セミリセスLOCOS層40および低濃度不純物層62の形成領域の上方において、開口されている。

【0045】次に、第2のレジスト層R2をマスクにして、シリコン基板10にN型のイオン92aを注入する。これによって、第1および第2の凹部84a、84bにおいて、N型の不純物拡散層92が形成される。後の工程で、第1の凹部84aにおけるN型の不純物拡散層92は、オフセット不純物層42となる。また、第2の凹部84bにおけるN型の不純物拡散層92は、低濃度不純物層62となる。

【0046】図5(b)は、図5(a)における第1の凹部84aを拡大して、模式的に示した断面図である。

8

ここで、酸化シリコン層90が形成されていることにより、イオン注入によって、第1および第2の凹部84a、84bにおけるシリコン基板10がダメージを受けるのを抑えることができる。これにより、シリコン基板10の結晶格子が切れ、電流のパスができるのを抑えることができる。N型のイオン92aとしては、たとえばリンイオンを挙げることができる。イオンの加速電圧は、デバイスの耐圧および特性により異なるが、たとえば10～50keV、好ましくは20～25keVである。ドーズ量は、デバイスの耐圧および特性により異なるが、たとえば $1.0E+13 \sim 1.5E+14 \text{ cm}^{-2}$ 、好ましくは $3.0E+13 \sim 5.0E+13 \text{ cm}^{-2}$ である。イオンの注入角度(シリコン基板の表面の法線L1とイオンの注入方向とのなす角) θ は、特に限定されず、たとえば0～45度であり、好ましくは0度より大きく45度以下であり、さらに好ましくは5～20度である。イオンの注入角度 θ が0度より大きく45度以下であることにより、凹部84a、84bにおけるシリコン基板10の側面にも、確実にイオンを注入することができる。次いで、第2のレジスト層R2を除去する。

【0047】(5)次に、図6に示すように、所定のパターンを有する、第3のレジスト層R3を形成する。第3のレジスト層R3は、第2の凹部84bの中央部において開口されている。具体的には、第3のレジスト層R3は、チャネルストップ層60の形成領域の上方において開口されている。

【0048】次に、第3のレジスト層R3をマスクにして、シリコン基板10にP型のイオン94aを注入する。これによって、第2の凹部84bにおいてP型の不純物拡散層94が形成される。後の工程で、P型の不純物拡散層94は、チャネルストップ層60となる。P型のイオン94aとしては、たとえばボロンイオンを挙げることができる。イオンの加速電圧は、デバイスの耐圧および特性により異なるが、たとえば5～10keV、好ましくは7～8keVである。ドーズ量は、デバイスの耐圧および特性により異なるが、たとえば $1.0E+13 \sim 1.5E+14 \text{ cm}^{-2}$ 、好ましくは $3.0E+13 \sim 1.0E+14 \text{ cm}^{-2}$ である。次いで、第3のレジスト層R3を除去する。

【0049】(6)次に、図7(a)に示すように、酸化シリコン層90を除去する。図7(b)は、図7

(a)における第1の凹部84aを拡大して、模式的に示した断面図である。なお、デバイスの特性に悪影響を及ぼさなければ、酸化シリコン層90は、除去しなくてもよい。

【0050】次に、窒化シリコン層82を耐酸化層として、シリコン基板10を熱酸化する。これによって、図8に示すように、素子分離領域20およびセミリセスLOCOS層40を形成する。この熱酸化の工程で、第1

(6)

9

の凹部84aにおけるシリコン基板10に注入されたイオンが拡散（ドライブイン）して、オフセット不純物層42が形成される。また、同時に、第2の凹部84bにおけるシリコン基板10に注入されたイオンが拡散（ドライブイン）して、チャンネルストッパ層6.0および低濃度不純物層6.2が形成される。

【0051】次に、窒化シリコン層8.2および酸化窒化シリコン層8.0を除去する。その後、シリコン基板10の表面を熱酸化することにより、ゲート絶縁層3.0を形成する。

【0052】（7）次に、図1に示すように、LOCOS層2.0を含むウェハ上に導電性のポリシリコン層を堆積する。つぎに、フォトリソグラフィおよびエッチングにより、ゲート絶縁層3.0上にゲート電極3.6が形成される。

【0053】（8）次に、ゲート電極3.6をマスクとして、シリコン基板10中に、リンなどのN型のイオンを注入する。これによって、ソース領域3.2を構成する低濃度不純物層3.2bが形成される。次に、ゲート電極3.6のサイドに、サイドウォール3.8を形成する。ゲート電極3.6、サイドウォール3.8およびセミリセスLOCOS層4.0をマスクとして、シリコン基板10中に、リンなどのN型のイオンを注入する。これによって、ソース領域3.2を構成する高濃度不純物層3.2aと、ドレイン領域3.4とが形成される。

【0054】次に、ゲート電極3.6を含むウェハ上に層間絶縁層7.0を堆積する。フォトリソグラフィおよびエッチングにより、層間絶縁層7.0にコンタクトホール7.2が形成される。

【0055】この後、コンタクトホール7.2内および層間絶縁層7.0上に、アルミニウム合金、銅などの導電層を堆積し、この導電層をパターニングすることにより、配線層7.4が形成される。

【0056】（作用効果）以下、第2の実施の形態に係る半導体装置の製造方法における作用効果を説明する。

【0057】（a）本実施の形態においては、凹部84a、84bに、イオンを注入する際、凹部84a、84bにおけるシリコン基板10の表面上に、酸化シリコン層9.0を形成している。このため、イオン注入する際に、凹部84a、84bにおけるシリコン基板10がダメージを受けるのを抑えることができる。これにより、シリコン基板10の結晶格子が切れ、電流のパスができるのを抑えることができる。

【0058】（b）第1の凹部84aにおけるシリコン基板10への、イオンの注入工程において、イオンの注入角度 θ が0度より大きく45度以下である場合には、次の作用効果を奏することができる。すなわち、そのイオン注入角度 θ が0度より大きく45度以下であることにより、第1の凹部84aにおけるシリコン基板10の側面に、イオンを確実に注入することができる。その結

10

果、セミリセスLOCOS層4.0のサイドに、オフセット不純物層4.2を確実に形成することができる。

【0059】なお、N型トランジスタの製造と並行して、P型トランジスタを製造することができる。たとえば、次のようにして、N型トランジスタの製造と並行して、P型トランジスタを製造することができる。

【0060】（A）P型トランジスタのオフセット不純物層が形成される領域における凹部の形成は、上記の凹部の形成工程（2）と同時に行うことができる。（B）P型トランジスタのオフセット不純物層を形成するための、P型のイオンを注入する工程は、上記のチャンネルストッパ層を形成する工程（5）と同時に行うことができる。

【0061】[第3の実施の形態] 次に、第3の実施の形態に係る半導体装置の製造方法について説明する。図9は、第3の実施の形態に係る半導体装置の製造方法における要部を説明するための、凹部を拡大して模式的に示す断面図である。

【0062】第3の実施の形態は、凹部の形成方法の点で、第2の実施の形態と異なる。第3の実施の形態は、凹部の形成方法の点以外は、第2の実施の形態と同様であるため、詳細な説明を省略する。

【0063】第3の実施の形態は、図9に示すように、第1の凹部84aがテーパ形状となるように、シリコン基板10をエッチングしている。第1の凹部84aのテーパ角度 α は、90度未満であり、好ましくは60度以上90度未満であり、さらに好ましくは70～80度である。凹部のエッチング方法は、第1の凹部84aがテーパ形状となるような方法であれば特に限定されない。具体的には、シリコン基板10のエッチングは、平行平板電極を有するエッチング装置により行うことができ、たとえば次のようにして行うことができる。まず、平行平板下部電極上にシリコン基板10を設置する。電極間に、たとえば200WのPowerを印加することにより、シリコン基板10のエッチングを行うことができる。具体的な条件としては、エッチングは、圧力がたとえば700mTorrの真空中で行われる。エッチングの際に使用するエッチングガスは、たとえば、 CHF_3 、 CF_4 、 Ar 、 O_2 を含むガスからなることができ、それらの量の比率は、たとえば10/70/800/4sccm（= $\text{CHF}_3/\text{CF}_4/\text{Ar}/\text{O}_2$ ）である。

【0064】（作用効果）以下、第3の実施の形態に係る半導体装置の製造方法における作用効果を説明する。

【0065】（a）第3の実施の形態は、第2の実施の形態における作用効果（a）と同様の作用効果を奏することができる。

【0066】（b）第3の実施の形態においては、テーパ形状（テーパ角度 α が90度未満）となるように、第1の凹部84aを形成している。このため、第1の凹部

(7)

11

84aにおけるシリコン基板10へのイオンの注入工程で、シリコン基板10の側面にイオンを確実に注入することができる。その結果、セミリセスLOCOS層40のサイドに、オフセット不純物層42を確実に形成することができる。

【0067】本発明は、上記実施の形態に限定されず、発明の要旨の範囲内で各種の態様を取りうる。

【図面の簡単な説明】

【図1】第1の実施の形態に係る半導体装置を模式的に示す断面図である。

【図2】第2の実施の形態に係る製造工程を模式的に示す断面図である。

【図3】第2の実施の形態に係る製造工程を模式的に示す断面図である。

【図4】第2の実施の形態に係る製造工程を模式的に示す断面図である。

【図5】第2の実施の形態に係る製造工程を模式的に示す断面図である。

【図6】第2の実施の形態に係る製造工程を模式的に示す断面図である。

【図7】第2の実施の形態に係る製造工程を模式的に示す断面図である。

【図8】第2の実施の形態に係る製造工程を模式的に示す断面図である。

【図9】第3の実施の形態に係る半導体装置の製造方法における要部を説明するための、凹部を拡大して模式的に示す断面図である。

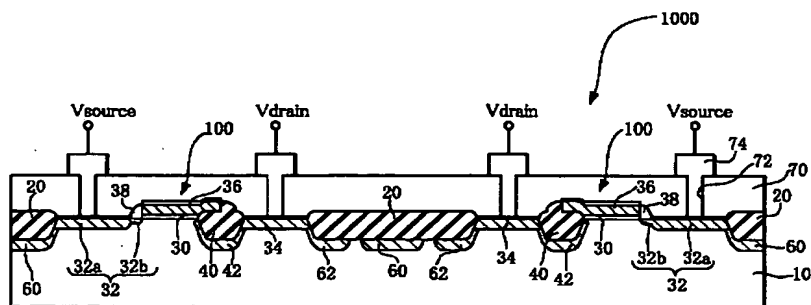
【符号の説明】

10 シリコン基板

12

20 素子分離領域
30 ゲート絶縁層
32 ソース領域
34 ドレイン領域
36 ゲート電極
40 セミリセスLOCOS層
42 オフセット不純物層
60 チャネルストッパ層
62 低濃度不純物層
70 層間絶縁層
72 コンタクトホール
74 配線層
80 酸化窒化シリコン層
82 窒化シリコン層
84a 第1の凹部
84b 第2の凹部
90 酸化シリコン層
92 N型の不純物拡散層
92a N型イオン
94 P型の不純物拡散層
94a P型イオン
100 トランジスタ
1000 半導体装置
W10 第1の凹部の幅
D10 第1の凹部の深さ
L1 シリコン基板の表面の法線
 θ イオンの注入角度
 α 凹部のテーパ角度
R1, R2, R3 レジスト層

【図1】

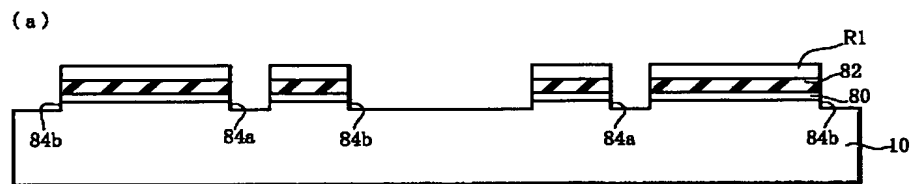


(8)

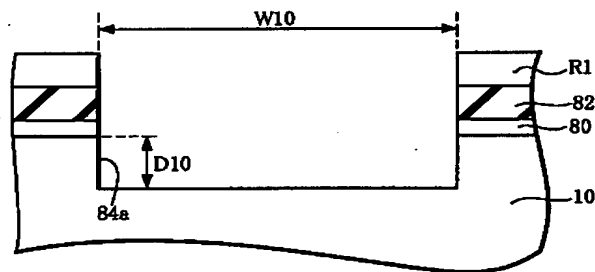
【図2】



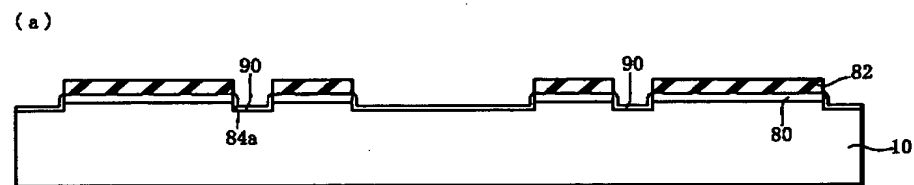
【図3】



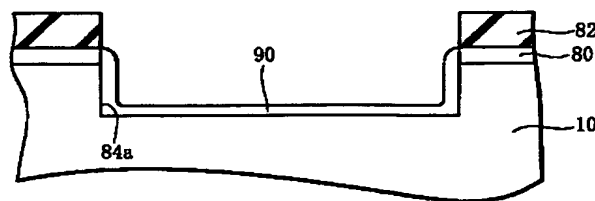
(b)



【図4】

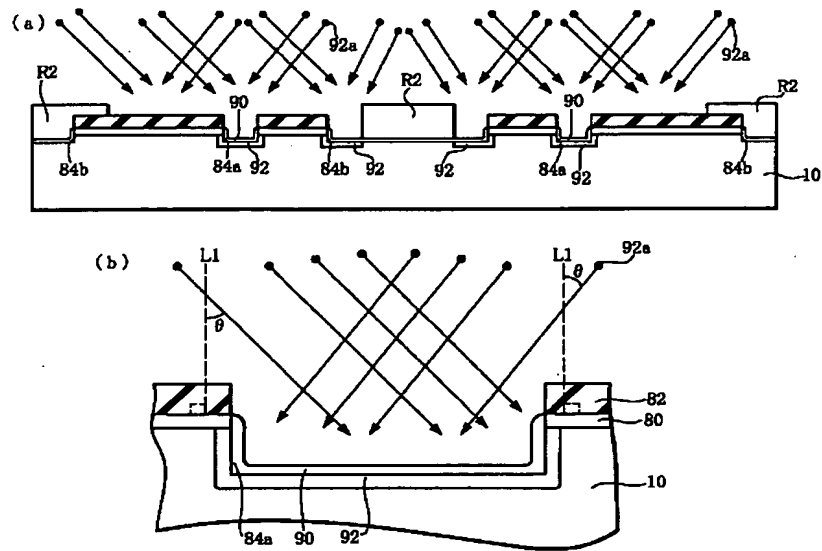


(b)

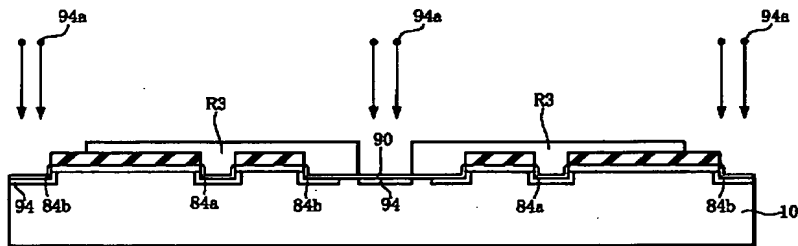


(9)

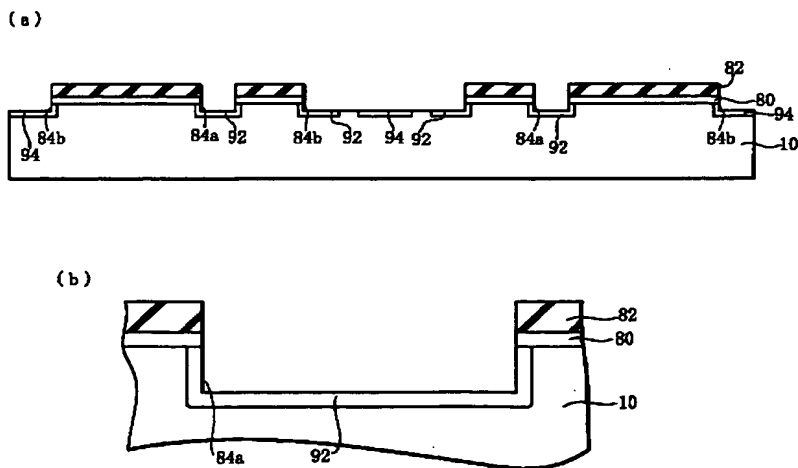
【図5】



【図6】

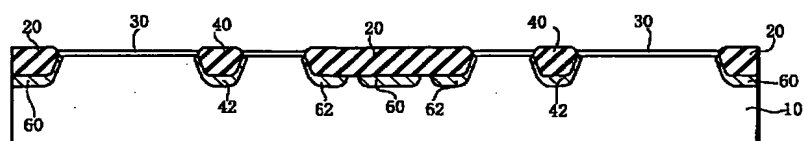


【図7】

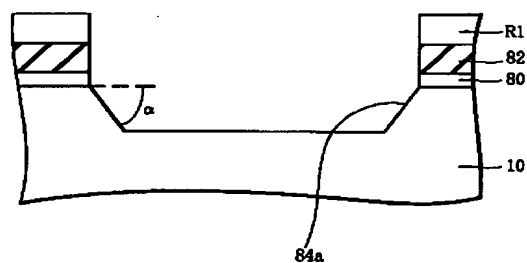


(10)

【図 8】



【図 9】



フロントページの続き

Fターム(参考) 4M108 AA09 AB05 AB10 AB13 AB15
 AB24 AB27 AB36 AC01 AC39
 AC41 AD01 AD05 AD07 AD13
 5F032 AA13 AB03 AC01 BB01 CA03
 CA17 CA24 DA02 DA23 DA43
 DA53
 5F040 DA19 DA20 DC01 EB02 EC07
 EC24 ED09 EF02 EF18 EK00
 EK01 EK03 EK05 FB04 FC02
 FC13
 5F048 AA01 AA05 AB07 AC01 AC03
 BA01 BB05 BC00 BC03 BC05
 BD01 BE03 BG01 BG12 BG13
 BH07

PATENT ABSTRACTS OF JAPAN

BC

(11)Publication number : 2001-313388

(43)Date of publication of application : 09.11.2001

(51)Int.Cl.

H01L 29/78
H01L 21/76
H01L 21/316
H01L 21/8234
H01L 27/088

(21)Application number : 2000-132338

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 01.05.2000

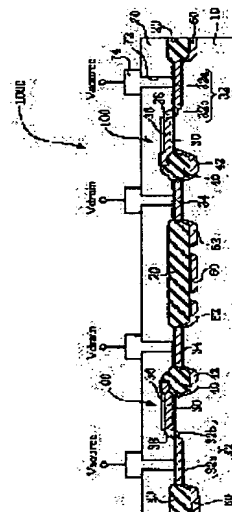
(72)Inventor : YOKOYAMA KENJI
NAMATAME KEN

(54) SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device which is increased in breakdown voltage, and also to provide a method of manufacturing the same.

SOLUTION: The semiconductor device 1000 includes a FET 100. The FET 100 comprises a gate insulation layer 30, a source region 32, and a drain region 34. Between the gate insulation layer 30 and the drain region 34, a semi-recessed LOCOS layer 40 is formed. An offset impurity layer 42 is formed under the semi-recessed LOCOS layer 40.



LEGAL STATUS

[Date of request for examination]

07.01.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] It is the semiconductor device with which it is the semiconductor device which has a field-effect transistor, and a semi recess LOCOS layer is prepared between said gate insulating layers and said drain fields, and, as for said field-effect transistor, the offset impurity layer is prepared in the bottom of said semi recess LOCOS layer including the gate insulating layer, the source field, and the drain field.

[Claim 2] It is the semiconductor device whose thickness of said semi recess LOCOS layer is 0.3–0.7 micrometers in claim 1.

[Claim 3] It is the semiconductor device with which said semiconductor device has a component isolation region, and said component isolation region has semi recess LOCOS structure in claims 1 or 2.

[Claim 4] The semiconductor device with which the channel stopper layer is prepared in the bottom of said component isolation region in claim 3.

[Claim 5] The semiconductor device with which the low concentration impurity layer of the same conductivity type as this drain field was prepared in the perimeter of said drain field in either of claims 1–4.

[Claim 6] It is the manufacture approach of a semiconductor device that are the manufacture approach of a semiconductor device of having a field-effect transistor, and a semi recess LOCOS layer is prepared between said gate insulating layers and said drain fields, an offset impurity layer is prepared in the bottom of said semi recess LOCOS layer, and said field-effect transistor contains following process (a) – (c) including a gate insulating layer, a source field, and a drain field.

(a) the process which forms a crevice in the formation field of said semi recess LOCOS layer, and (b) -- the process which injects an impurity into the semi-conductor substrate in said crevice, and (c) -- the process which oxidizes said semi-conductor substrate thermally and forms said semi recess LOCOS layer in said crevice.

[Claim 7] Said process (c) is the manufacture approach of a semiconductor device which was formed on said semi-conductor substrate and which is performed considering said anti-oxidation layer as a mask including the process (d) which forms the anti-oxidation layer which has a further predetermined pattern in claim 6.

[Claim 8] Said anti-oxidation layer is the manufacture approach of a semiconductor device that the thickness is 50–70nm in claim 7.

[Claim 9] The manufacture approach of a semiconductor device which includes the process (e) which forms a protective coat on said semi-conductor substrate in said crevice in front of said process (b) in either of claims 6–8.

[Claim 10] It is the manufacture approach of a semiconductor device that said protective coat is a silicon oxide layer in claim 9.

[Claim 11] It is the manufacture approach of a semiconductor device that said silicon oxide layer is formed by the oxidizing [thermally] method in claim 10.

[Claim 12] The manufacture approach of a semiconductor device which includes the process (f) which removes said protective coat after said process (b) in either of claims 9–11.

[Claim 13] Said process (a) is the manufacture approach of a semiconductor device made as [serve as / said crevice / in either of claims 6-12 / a taper configuration].

[Claim 14] It is the manufacture approach of a semiconductor device that the cone angle of said crevice is 60 degrees [less than 90] or more in claim 13.

[Claim 15] It is the manufacture approach of a semiconductor device which is the direction where the direction of grouting of said impurity intersects [in / on either of claims 6-14, and / said process (b)] the normal of the front face of said semi-conductor substrate.

[Claim 16] It is the manufacture approach of a semiconductor device that the angle of the direction of grouting of said impurity and the normal of the front face of said semi-conductor substrate to make is 45 or less degrees in claim 15 more greatly than 0 times.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device with which high pressure-proofing-ization was attained, and its manufacture approach about a semiconductor device and its manufacture approach.

[0002]

[Background of the Invention] There is a field-effect transistor which has LOCOS (LocalOxidation Of Silicon) offset structure as a field-effect transistor by which current and high pressure-proofing-ization were attained. The field-effect transistor which has LOCOS offset structure is a transistor by which the LOCOS layer was prepared between the gate insulating layer and the drain field, and the offset impurity layer was formed in the bottom of the LOCOS layer. The field-effect transistor which has LOCOS offset structure is indicated by for example, the patent No. 2705106 official report and JP,2534508,B.

[0003] By the way, in the field-effect transistor which has LOCOS offset structure, a BAZU beak arises in a LOCOS edge and there is a problem that an active field narrows.

[0004]

[Problem(s) to be Solved by the Invention] The purpose of this invention is to offer the semiconductor device with which high pressure-proofing-ization was attained, and its manufacture approach.

[0005]

[Means for Solving the Problem] (Semiconductor device) The semiconductor device of this invention is a semiconductor device which has a field-effect transistor, including the gate insulating layer, the source field, and the drain field, a semi recess LOCOS layer is prepared between said gate insulating layers and said drain fields, and, as for said field-effect transistor, the offset impurity layer is prepared in the bottom of said semi recess LOCOS layer.

[0006] According to this invention, the following operation effectiveness can be done so, for example.

[0007] In this invention, the field-effect transistor has the semi recess LOCOS layer. And the offset impurity layer is prepared in the bottom of a semi recess LOCOS layer. Therefore, compared with the case where a semi recess LOCOS layer is not formed, an offset impurity layer can be relatively made deep to a channel field. Consequently, when a field-effect transistor is in ON condition, a deep depletion layer can be formed by this offset impurity layer. Consequently, the electric field near the drain electrode can be eased, drain pressure-proofing can be raised, and high pressure-proofing-ization can be attained.

[0008] Moreover, according to this invention, the width of face of a BAZU beak can be narrowed compared with a LOCOS layer. For this reason, according to this invention, detailed-ization can be attained compared with a LOCOS layer.

[0009] Moreover, since the semi recess LOCOS layer is not formed between a gate insulating layer and a source field, detailed-ization of a field-effect transistor can be attained.

[0010] Moreover, this semiconductor device is preferably applied as a semiconductor device whose drain pressure-proofing is 10–50V. Moreover, especially this semiconductor device is suitable as a liquid crystal display (LCD) driver.

[0011] The thickness of said semi recess LOCOS layer is 0.3–0.7 micrometers.

[0012] Said semiconductor device has a component isolation region, and, as for said component isolation region, it is desirable to have semi recess LOCOS structure. By having semi recess LOCOS structure, a component isolation region can form a component isolation region at the same process as a semi recess LOCOS layer. A channel stopper layer can be prepared in the bottom of said component isolation region.

[0013] It is desirable that the low concentration impurity layer of the same conductivity type as this drain field is prepared in the perimeter of said drain field. When a field-effect transistor is in ON condition by preparing such a low concentration impurity layer, the field of this low concentration impurity layer serves as a depletion layer, and can raise drain pressure-proofing.

[0014] (The manufacture approach of a semiconductor device) The semiconductor device of this invention can be manufactured as follows, for example.

[0015] It is the manufacture approach of a semiconductor device that the manufacture approach of the semiconductor device of this invention is the manufacture approach of a semiconductor device of having a field-effect transistor, a semi recess LOCOS layer is prepared between said gate insulating layers and said drain fields, an offset impurity layer is prepared in the bottom of said semi recess LOCOS layer, and said field-effect transistor contains following process (a) – (c) including a gate insulating layer, a source field, and a drain field.

(a) the process which forms a crevice in the formation field of said semi recess LOCOS layer, and (b) -- the process which injects an impurity into the semi-conductor substrate in said crevice, and (c) -- the process which oxidizes said semi-conductor substrate thermally and forms said semi recess LOCOS layer in said crevice.

[0016] It is desirable to perform as a mask said anti-oxidation layer by which said process (c) was formed on said semi-conductor substrate including the process (d) in which the manufacture approach of the semiconductor device of this invention forms the anti-oxidation layer which has a further predetermined pattern.

[0017] Thereby, the semi-conductor substrate in a predetermined field can be made to oxidize thermally certainly. Moreover, in a process (b), in case an impurity is injected into a semi-conductor substrate, it can suppress that an impurity is injected into the semi-conductor substrate covered with the anti-oxidation layer.

[0018] As for said anti-oxidation layer, it is desirable that the thickness is 50–70nm. When the thickness of an anti-oxidation layer is 50nm or more, in case an impurity is injected into a semi-conductor substrate in a process (b), it can prevent that an impurity is injected into the semi-conductor substrate covered with the anti-oxidation layer.

[0019] It is desirable to include the process (e) which forms a protective coat on the semi-conductor substrate in said crevice in front of said process (b). Here, a protective coat means the film which stops that a semi-conductor substrate receives a damage by injecting an impurity into a semi-conductor substrate. By including a process (e), it can stop that the semi-conductor substrate in a crevice receives a damage in a process (b).

[0020] A silicon oxide layer can be mentioned as said protective coat. Said silicon oxide layer can be formed by the oxidizing [thermally] method. According to the oxidizing [thermally] method, a silicon oxide layer can be certainly formed on the exposure of the semi-conductor substrate in a crevice.

[0021] Moreover, when a protective coat is formed, it is desirable after a process (b) to include the process (f) which removes said protective coat. By including a process (f), the membraneous quality of the semi recess LOCOS layer obtained can be raised.

[0022] As for said process (a), it is desirable to be made as [serve as / said crevice / a taper configuration]. According to this, in a process (b), it can perform easily pouring an impurity into the side face of the silicon substrate in a crevice.

[0023] As for the cone angle of said crevice, it is desirable that it is [60 degree or more] less than 90 degrees. According to this, in a process (b), an impurity can be certainly poured into the side face of the silicon substrate in a crevice.

[0024] As for the direction of grouting of said impurity, in said process (b), it is desirable that it is the direction which intersects the normal of the front face of said semi-conductor substrate. According to this, in a process (b), it can perform easily pouring an impurity into the side face of the silicon substrate in a crevice.

[0025] As for the angle of the direction of grouting of said impurity, and the normal of the front face of said semi-conductor substrate to make, it is desirable that it is 45 or less degrees more greatly than 0 times. According to this, in a process (b), an impurity can be certainly poured into the side face of the silicon substrate in a crevice.

[0026]

[Embodiment of the Invention] Hereafter, the gestalt of suitable operation of this invention is explained, referring to a drawing.

[0027] The semiconductor device concerning the gestalt of the 1st operation is explained below [the gestalt of the 1st operation]. Drawing 1 is the sectional view showing the semiconductor device concerning the gestalt of the 1st operation typically.

[0028] (Structure of a device) A semiconductor device 1000 has the component isolation region 20. The component isolation region 20 has semi recess LOCOS structure. The field-effect transistor (henceforth a "transistor") 100 is formed for every field demarcated by the component isolation region 20.

[0029] A transistor 100 has the gate insulating layer 30, the source field 32, and the drain field 34. The source field 32 consists of high concentration impurity diffused layer 32a and low concentration impurity diffused layer 32b. if the source field 32 and the drain field 34 take an N type transistor for an example -- the well of P type -- if it consists of an N type impurity diffused layer formed inside and a P type transistor is taken for an example -- the well of N type -- it consists of a P type impurity diffused layer formed inside.

[0030] The semi recess LOCOS layer 40 is formed between the gate insulating layer 30 and the drain field 34. Although the thickness of the semi recess LOCOS layer 40 changes with designs of a device, it is 0.3-0.7 micrometers, for example, and is 0.4-0.6 micrometers preferably. The offset impurity layer 42 is formed in the bottom of the semi recess LOCOS layer 40. The offset impurity layer 42 will consist of an N type impurity diffused layer, if an N type transistor is taken for an example, and if a P type transistor is taken for an example, it will consist of a P type impurity diffused layer.

[0031] The channel stopper layer 60 is formed in the bottom of the center section of the component isolation region 20. The channel stopper layer 60 will consist of a P type impurity diffused layer, if an N

type transistor is taken for an example, and if a P type transistor is taken for an example, it will consist of an N type impurity diffused layer.

[0032] The low concentration impurity layer 62 is formed in the bottom of the edge of the component isolation region 20 contiguous to the drain field 34. By the low concentration impurity layer 62, when a transistor is in ON condition, the field of this low concentration impurity layer 62 serves as a depletion layer, and can raise drain pressure-proofing. A low concentration impurity layer will consist of an N type impurity diffused layer, if an N type transistor is taken for an example, and if a P type transistor is taken for an example, it will consist of a P type impurity diffused layer.

[0033] The contact field (not shown) for impressing an electrical potential difference to a silicon substrate 10 is formed in the semiconductor device 1000. A contact field is separated by the source or a drain field, and the component isolation region. A channel stopper layer can be formed in the bottom of this component isolation region if needed.

[0034] The layer insulation layer 70 is formed on the silicon substrate 10. The contact hole 72 is formed in the predetermined field of the layer insulation layer 70. The wiring layer 74 is formed in a contact hole 72 and on the layer insulation layer 70.

[0035] (The operation effectiveness) The operation effectiveness of the semiconductor device 1000 concerning the gestalt of the 1st operation is explained hereafter.

[0036] (a) With the gestalt of this operation, each transistor 100 has the semi recess LOCOS layer 40. And the offset impurity layer 42 is formed in the bottom of the semi recess LOCOS layer 40. Therefore, compared with the case where a semi recess LOCOS layer is not formed, the offset impurity layer 42 can be relatively made deep to a channel field. Consequently, when a transistor is in ON condition, a deep depletion layer can be formed by this offset impurity layer 42. Consequently, the electric field near the drain electrode can be eased and drain pressure-proofing can be raised.

[0037] (b) Moreover, since the semi recess LOCOS layer is not formed between the gate insulating layer 30 and the source field 32, detailed-ization of a field-effect transistor can be attained.

[0038] (c) Moreover, this semiconductor device is preferably applied as a semiconductor device whose drain pressure-proofing is 10-50V. Moreover, especially this semiconductor device is suitable as a liquid crystal display (LCD) driver of the so-called inside pressure-proofing.

[0039] The manufacture approach of the semiconductor device concerning the gestalt of the 2nd operation is explained below [the gestalt of the 2nd operation]. An N type transistor is taken for an example and, specifically, the manufacture process of a semiconductor device is explained. Drawing 2 - drawing 8 are the sectional views showing the production process concerning the gestalt of the 2nd operation typically.

[0040] (1) First, as shown in drawing 2, form the oxidation silicon nitride layer 80 with a CVD method on a silicon substrate 10. The thickness of the oxidation silicon nitride layer 80 is 8-12nm. Subsequently, the silicon nitride layer 82 is formed with a CVD method on the oxidation silicon nitride layer 80. The thickness of the silicon nitride layer 82 is the process of the below-mentioned ion implantation, and especially if it is extent which can prevent injecting ion into the silicon substrate 10 covered by the silicon nitride layer 82, it will not be limited. 50-70nm of thickness of the silicon nitride layer 82 is 60-65nm preferably, for example.

[0041] (2) Next, as shown in drawing 3 (a), form the 1st resist layer R1 which has a predetermined pattern on the silicon nitride layer 82. Opening of the 1st resist layer R1 is carried out [above the component isolation region 20 and the formation field of the semi recess LOCOS layer 40].

[0042] Next, the silicon nitride layer 82, the oxidization silicon nitride layer 80, and a silicon substrate 10 are etched by using the 1st resist layer R1 as a mask. Thereby, in the component isolation region 20 and the formation field of the semi recess LOCOS layer 40, the 1st and 2nd crevices 84a and 84b are formed. 1st crevice 84a is formed in the field used as the semi recess LOCOS layer 40, and 2nd crevice 84b is formed in the field used as the component isolation region 20. In addition, drawing 3 (b) is the sectional view which expanded 1st crevice 84a in drawing 3 (a), and was shown typically. Although the

width of face of 1st crevice 84a changes with pressure-proofing of a device, and properties, it is 0.5–2.0 micrometers preferably 0.3–5.0 micrometers, for example. Although the depth of 1st crevice 84a changes with pressure-proofing of a device, and properties, it is 0.08–0.1 micrometers preferably 0.05–0.15 micrometers, for example. The width of face of 2nd crevice 84b and the depth can take the same mode as 1st crevice 84a. Subsequently, the 1st resist layer R1 is removed.

[0043] (3) Next, as shown in drawing 4 (a), form the silicon oxide layer 90 on the exposure of a silicon substrate 10 by the oxidizing [thermally] method. Drawing 4 (b) is the sectional view which expanded 1st crevice 84a in drawing 4 (a), and was shown typically. In addition, the formation approach of the silicon oxide layer 90 may be a CVD method. 5.0–10nm of thickness of the silicon oxide layer 90 is 6.0–7.0nm preferably, for example.

[0044] (4) Next, as shown in drawing 5 (a), form the 2nd resist layer R2 which has a predetermined pattern. In the upper part of 1st crevice 84a and the edge of 2nd crevice 84b, opening of the 2nd resist layer R2 is carried out. Specifically, opening is carried out [above the formation field of the semi recess LOCOS layer 40 and the low concentration impurity layer 62].

[0045] Next, the 2nd resist layer R2 is used as a mask, and ion 92a of N type is injected into a silicon substrate 10. Of this, the impurity diffused layer 92 of N type is formed in the 1st and 2nd crevices 84a and 84b. At a next process, the impurity diffused layer 92 of the N type in 1st crevice 84a turns into the offset impurity layer 42. Moreover, the impurity diffused layer 92 of the N type in 2nd crevice 84b turns into the low concentration impurity layer 62.

[0046] Drawing 5 (b) is the sectional view which expanded 1st crevice 84a in drawing 5 (a), and was shown typically. Here, it can stop that the silicon substrate 10 in the 1st and 2nd crevices 84a and 84b receives a damage by the ion implantation by forming the silicon oxide layer 90. Thereby, the crystal lattice of a silicon substrate 10 goes out, and it can stop that the pass of a current is made. As ion 92a of N type, phosphorus ion can be mentioned, for example. Although the acceleration voltage of ion changes with pressure-proofing and the properties of a device, it is 20–25keV preferably ten to 50 keV, for example. although a dose changes with pressure-proofing and the properties of a device -- $1.0\text{E}+13$ – $1.5\text{E}+14\text{cm}^{-2}$ -- it is $3.0\text{E}+13$ – $5.0\text{E}+13\text{cm}^{-2}$ preferably. Especially the impregnation include angle (angle of the normal L1 of the front face of a silicon substrate and the direction of grouting of ion to make) theta of ion is not limited, for example, is 0 – 45 degrees, is 45 or less degrees more greatly [it is desirable and] than 0 times, and is 5 – 20 degrees still more preferably. When the impregnation include angle theta of ion is 45 or less degrees more greatly than 0 times, ion can be certainly poured also into the side face of the silicon substrate 10 in Crevices 84a and 84b. Subsequently, the 2nd resist layer R2 is removed.

[0047] (5) Next, as shown in drawing 6 , form the 3rd resist layer R3 which has a predetermined pattern. In the center section of 2nd crevice 84b, opening of the 3rd resist layer R3 is carried out. Specifically, opening of the 3rd resist layer R3 is carried out [above the formation field of the channel stopper layer 60].

[0048] Next, the 3rd resist layer R3 is used as a mask, and ion 94a of P type is injected into a silicon substrate 10. Of this, the impurity diffused layer 94 of P type is formed in 2nd crevice 84b. At a next process, the impurity diffused layer 94 of P type turns into the channel stopper layer 60. As ion 94a of P type, boron ion can be mentioned, for example. Although the acceleration voltage of ion changes with pressure-proofing and the properties of a device, it is 7–8keV preferably five to 10 keV, for example. although a dose changes with pressure-proofing and the properties of a device -- $1.0\text{E}+13$ – $1.5\text{E}+14\text{cm}^{-2}$ -- it is $3.0\text{E}+13$ – $1.0\text{E}+14\text{cm}^{-2}$ preferably. Subsequently, the 3rd resist layer R3 is removed.

[0049] (6) Next, as shown in drawing 7 (a), remove the silicon oxide layer 90. Drawing 7 (b) is the sectional view which expanded 1st crevice 84a in drawing 7 (a), and was shown typically. In addition, if it does not have a bad influence on the property of a device, it is not necessary to remove the silicon oxide layer 90.

[0050] Next, a silicon substrate 10 is oxidized thermally by using the silicon nitride layer 82 as an anti-

oxidation layer. By this, as shown in drawing 8 R> 8, the component isolation region 20 and the semi recess LOCOS layer 40 are formed. At the process of this thermal oxidation, the ion injected into the silicon substrate 10 in 1st crevice 84a is spread (drive-in), and the offset impurity layer 42 is formed. Moreover, the ion injected into the silicon substrate 10 in 2nd crevice 84b is spread in coincidence (drive-in), and the channel stopper layer 60 and the low concentration impurity layer 62 are formed in it. [0051] Next, the silicon nitride layer 82 and the oxidation silicon nitride layer 80 are removed. Then, the gate insulating layer 30 is formed by oxidizing thermally the front face of a silicon substrate 10.

[0052] (7) Next, as shown in drawing 1, deposit a conductive polish recon layer on the wafer containing the LOCOS layer 20. Next, the gate electrode 36 is formed on the gate insulating layer 30 of a photolithography and etching.

[0053] (8) Next, pour in the ion of N type, such as Lynn, into a silicon substrate 10 by using the gate electrode 36 as a mask. Of this, low concentration impurity layer 32b which constitutes the source field 32 is formed. Next, a sidewall 38 is formed in the side of the gate electrode 36. The ion of N type, such as Lynn, is poured in into a silicon substrate 10 by using the gate electrode 36, a sidewall 38, and the semi recess LOCOS layer 40 as a mask. Of this, high concentration impurity layer 32a which constitutes the source field 32, and the drain field 34 are formed.

[0054] Next, the layer insulation layer 70 is deposited on the wafer containing the gate electrode 36. A contact hole 72 is formed in the layer insulation layer 70 of a photolithography and etching.

[0055] Then, conductive layers, such as an aluminium alloy and copper, are deposited in a contact hole 72 and on the layer insulation layer 70, and a wiring layer 74 is formed by carrying out patterning of this conductive layer.

[0056] (The operation effectiveness) The operation effectiveness in the manufacture approach of the semiconductor device concerning the gestalt of the 2nd operation is explained hereafter.

[0057] (a) In the gestalt of this operation, in case ion is poured into Crevices 84a and 84b, form the silicon oxide layer 90 on the front face of the silicon substrate 10 in Crevices 84a and 84b. For this reason, in case an ion implantation is carried out, it can stop that the silicon substrate 10 in Crevices 84a and 84b receives a damage. Thereby, the crystal lattice of a silicon substrate 10 goes out, and it can stop that the pass of a current is made.

[0058] (b) In the impregnation process of ion to the silicon substrate 10 in 1st crevice 84a, when the impregnation include angle theta of ion is 45 or less degrees more greatly than 0 times, the following operation effectiveness can be done so. That is, when the ion-implantation include angle theta is 45 or less degrees more greatly than 0 times, ion can be certainly poured into the side face of the silicon substrate 10 in 1st crevice 84a. Consequently, the offset impurity layer 42 can be certainly formed in the side of the semi recess LOCOS layer 40.

[0059] In addition, a P type transistor can be manufactured in parallel to manufacture of an N type transistor. For example, a P type transistor can be manufactured in parallel to manufacture of an N type transistor as follows.

[0060] (A) Formation of the crevice in the field in which the offset impurity layer of a P type transistor is formed can be performed to the above-mentioned formation process (2) and the coincidence of a crevice. (B) The process which pours in the ion of P type for forming the offset impurity layer of a P type transistor can be performed to the process (5) and coincidence which form the above-mentioned channel stopper layer.

[0061] The manufacture approach of the semiconductor device concerning [the gestalt of the 3rd operation], next the gestalt of the 3rd operation is explained. Drawing 9 R> 9 is the sectional view in which expanding the crevice for explaining the important section in the manufacture approach of the semiconductor device concerning the gestalt of the 3rd operation, and showing it typically.

[0062] The gestalt of the 3rd operation is the point of the formation approach of a crevice, and differs from the gestalt of the 2nd operation. Except the point of the formation approach of a crevice, since the gestalt of the 3rd operation is the same as the gestalt of the 2nd operation, it omits detailed explanation.

[0063] As shown in drawing 9 , the gestalt of the 3rd operation is etching the silicon substrate 10 so that 1st crevice 84a may become a taper configuration. Cone-angle alpha of 1st crevice 84a is less than 90 degrees, is 60 degrees [less than 90] or more preferably, and is 70 – 80 degrees still more preferably. The etching approach of a crevice will not be limited especially if it is the approach 1st crevice 84a becomes a taper configuration. The etching system which has an parallel plate electrode can perform etching of a silicon substrate 10, for example, specifically, it can be performed as follows. First, a silicon substrate 10 is installed on an parallel monotonous lower electrode. A silicon substrate 10 can be etched by impressing Power of 200W to inter-electrode. As concrete conditions, as for etching, a pressure is performed under the vacuum of for example, 700mTorr(s). The etching gas used in the case of etching can consist of gas containing CHF3, CF4, Ar, and O2, and the ratios of those amounts are for example, 10/70/800/4sccm (=CHF3/CF4 / Ar/O2).

[0064] (The operation effectiveness) The operation effectiveness in the manufacture approach of the semiconductor device concerning the gestalt of the 3rd operation is explained hereafter.

[0065] (a) The gestalt of the 3rd operation can do so the operation effectiveness (a) in the gestalt of the 2nd operation, and the same operation effectiveness.

[0066] (b) In the gestalt of the 3rd operation, form 1st crevice 84a so that it may become a taper configuration (cone-angle alpha is less than 90 degrees). For this reason, ion can be certainly poured into the side face of a silicon substrate 10 at the impregnation process of the ion to the silicon substrate 10 in 1st crevice 84a. Consequently, the offset impurity layer 42 can be certainly formed in the side of the semi recess LOCOS layer 40.

[0067] This invention is not limited to the gestalt of the above-mentioned implementation, but can take various kinds of ***** by within the limits of the summary of invention.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the sectional view showing the semiconductor device concerning the gestalt of the 1st operation typically.

[Drawing 2] It is the sectional view showing the production process concerning the gestalt of the 2nd operation typically.

[Drawing 3] It is the sectional view showing the production process concerning the gestalt of the 2nd operation typically.

[Drawing 4] It is the sectional view showing the production process concerning the gestalt of the 2nd operation typically.

[Drawing 5] It is the sectional view showing the production process concerning the gestalt of the 2nd operation typically.

[Drawing 6] It is the sectional view showing the production process concerning the gestalt of the 2nd operation typically.

[Drawing 7] It is the sectional view showing the production process concerning the gestalt of the 2nd operation typically.

[Drawing 8] It is the sectional view showing the production process concerning the gestalt of the 2nd operation typically.

[Drawing 9] It is the sectional view in which expanding the crevice for explaining the important section in the manufacture approach of the semiconductor device concerning the gestalt of the 3rd operation, and showing it typically.

[Description of Notations]

10 Silicon Substrate

20 Component Isolation Region

30 Gate Insulating Layer

32 Source Field

34 Drain Field

36 Gate Electrode

40 Semi Recess LOCOS Layer

42 Offset Impurity Layer

60 Channel Stopper Layer

62 Low Concentration Impurity Layer

70 Layer Insulation Layer

72 Contact Hole

74 Wiring Layer

80 Oxidation Silicon Nitride Layer

82 Silicon Nitride Layer

84a The 1st crevice

84b The 2nd crevice

90 Silicon Oxide Layer

92 Impurity Diffused Layer of N Type

92a N type ion

94 Impurity Diffused Layer of P Type

94a P type ion

100 Transistor

1000 Semiconductor Device

W10 Width of face of the 1st crevice

D10 The depth of the 1st crevice

L1 Normal of the front face of a silicon substrate

theta Impregnation include angle of ion

alpha Cone angle of a crevice

R1, R2, R3 Resist layer

[Translation done.]